

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232436

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H01L 21/82

G06F 17/50

(21)Application number : 08-034888

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.02.1996

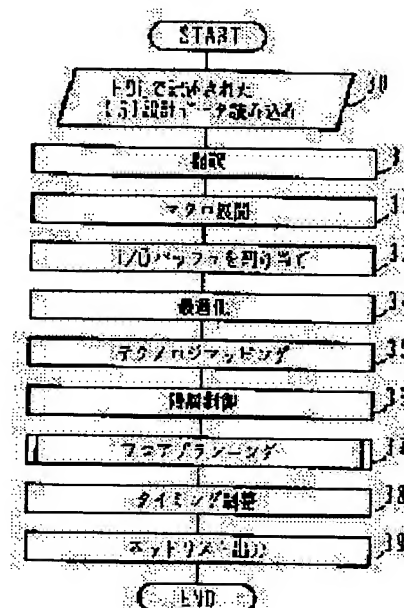
(72)Inventor : IWAMURA HIDEKI

**(54) METHOD AND APPARATUS FOR LOGIC SYNTHESIS, AND METHOD FOR DESIGNING SEMICONDUCTOR INTEGRATED CIRCUIT**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten the design period of a semiconductor integrated circuit.

**SOLUTION:** In a logic synthetic operation, a circuit at a gate level is generated in units of blocks. After that, (1) the size of every block is decided on the basis of the total area of a cell inside the block or on the basis of the number of gates, and the block in the size is arranged inside a floor. Then, (2) the cell is arranged approximately inside the block, and cells at the inside and the outside of the block are wired globally. Then, (3) the number of interconnections between blocks, a part in which a wiring density is at a set value or higher and a critical path passing a plurality of blocks in a semiconductor integrated circuit are displayed. Then, (4) when it is judged that a correction is required by looking at a displayed result, a floor planning operation to be returned to (2) is performed after every block is resized or moved. The length of a shortest route connecting centers of gravity of different blocks by using a line parallel to the side of the floor is found as a virtual wiring length between cells in the different blocks so as to be used for a wiring adjustment. The result of the floor planning operation is used to design a layout.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-232436

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. <sup>9</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/82			H 0 1 L 21/82	C
G 0 6 F 17/50			G 0 6 F 15/60	6 5 6 D 6 5 8 A

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21)出願番号	特願平8-34888	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成8年(1996)2月22日	(72)発明者	岩村 英樹 神奈川県川崎市高津区坂戸3丁目2番1号 富士通エルエスアイテクノロジー株式会社 内
		(74)代理人	弁理士 松本 眞吉

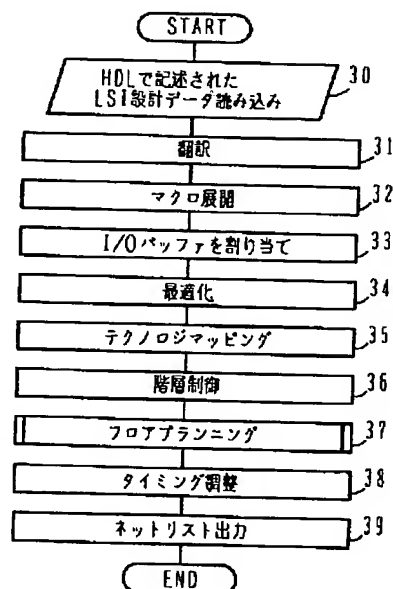
(54)【発明の名称】 論理合成方法及び装置並びに半導体集積回路設計方法

(57)【要約】

【課題】半導体集積回路の設計期間を短縮する。

【解決手段】 論理合成において、ブロック単位でゲートレベルの回路を生成した後、(1)ブロック内のセルの総面積又はゲート数に基づいてブロックのサイズを決定し、該サイズのブロックをフロア内に配置し、(2)ブロック内でセルを概略配置し、ブロック内外のセル間をグローバル配線し、(3)ブロック間の配線数と、配線密度が設定値以上の部分と、半導体集積回路の、複数ブロックを通るクリティカルパスを表示させ、(4)表示結果を見て修正要と判断した場合には、ブロックのリサイズ又は移動を行った後に(2)へ戻るというフロアプランニングを行う。フロアの辺に平行な線で異なるブロックの重心間を結んだ最短経路の長さを、異なるブロックのセル間の仮想配線長として求め、タイミング調整に用いる。フロアプランニングの結果はレイアウト設計に用いられる。

論理合成の概略フローチャート



## 【特許請求の範囲】

【請求項1】 ハードウェア記述言語で記述された半導体集積回路の仕様を入力とし、ブロック単位でゲートレベルの回路を生成し、仮想配線容量とセルの入力容量との和に基づいてセルの駆動能力が不足するかどうかを判断し、セル駆動能力が不足すると判断した場合にセル間にドライバセルを挿入する論理合成方法であって、該ゲートレベルの回路を生成した後、該判断の前において、フロアプランニングを行って該ブロックの配置を決定し、チップ領域に相当するフロアの辺に平行な線で異なるブロックの重心間を結んだ最短経路の長さを、異なるブロックのセル間の仮想配線長として求め、異なるブロックのセル間の該仮想配線容量を該仮想配線長に基づいて求める、ことを特徴とする論理合成方法。

【請求項2】 上記フロアプランニングでは、

(1) ブロック内のセルの総面積又はゲート数に基づいてブロックのサイズを決定し、該サイズのブロックをフロア内に配置し、

(2) ブロック内でセルを概略配置し、ブロック内外のセル間をグローバル配線し、

(3) グローバル配線結果を表示装置に表示させ、

(4) 表示結果を見て修正要と判断した場合には、ブロックのリサイズ又は移動を行った後に(2)へ戻る、ことを特徴とする請求項1記載の論理合成方法。

【請求項3】 上記(3)では、ブロック間の配線数と、配線密度が設定値以上の部分とを表示させる、ことを特徴とする請求項2記載の論理合成方法。

【請求項4】 上記(3)では、上記半導体集積回路の、複数ブロックを通るクリティカルパスも表示させる、ことを特徴とする請求項3記載の論理合成方法。

【請求項5】 請求項1乃至4のいずれか1つに記載の論理合成方法を実施するためのコンピュータを備えている、ことを特徴とする論理合成装置。

【請求項6】 請求項1乃至4のいずれか1つに記載の論理合成方法を実施した後、上記フロアプランニングの結果に基づいてレイアウト設計を行う、

ことを特徴とする半導体集積回路設計方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、論理合成方法及び装置並びに半導体集積回路設計方法に関する。

## 【0002】

【従来の技術】半導体集積回路の自動設計では、論理合成ツールに対しHDL（ハードウェア記述言語）で記述された半導体集積回路の機能及び構造の仕様を入力することにより、ゲートレベルの回路が生成される。生成された回路は、自動配置配線ツールを用いてレイアウト設

計される。

【0003】レイアウト設計後のタイミングエラーを低減するために、論理合成ツールにおいて、セル間仮想配線容量とセルの入力容量との和に基づきセルの駆動能力が不足するかどうかを自動的に判断し、セル駆動能力が不足すると判断した場合にはセル間にドライバセルを挿入している。レイアウト設計前であるので、図8(A)に示すような関係によりセル間仮想配線容量が見積もられる。横軸はブロックのゲートサイズであり、縦軸はブロック内でのセル間の仮想配線容量である。例えば図8(B)に示すブロックA及びBのゲート数がそれぞれN<sub>A</sub>及びN<sub>B</sub>であるとし、それぞれのブロック内でのセル間の仮想配線容量が仮想配線容量C<sub>1</sub>であるとする。この場合、ブロックA内のセル1とブロックB内のセル2（セル1及び2のブロック内での位置は未定）との間の配線3の仮想容量は、図8(A)において、ゲート数N<sub>S</sub>=N<sub>A</sub>+N<sub>B</sub>のブロックS内でのセル間の仮想配線容量C<sub>2</sub>と見積もられる。配線3の仮想配線容量C<sub>2</sub>とセル2の入力容量C<sub>i</sub>との和C<sub>2</sub>+C<sub>i</sub>がセル1の駆動能力を越えている場合には、配線3にドライバセルが挿入される。また、設計段階で指定された端子間の信号伝播遅延時間が許容範囲に収まるように、バッファセルが挿入され又はセルのサイズ（セルの入力容量）が変更される。

【0004】このような処理により、レイアウト設計後のタイミングエラーが低減される。

## 【0005】

【発明が解決しようとする課題】しかし、回路素子の微細化により、容量比=(セル間配線容量)/(セル入力容量)が大きくなり、配線幅が0.5μmのLSIでこの比がほぼ1になる。この容量比が大きいくほど、(仮想配線容量)-(実配線容量)が大きくなって、仮想配線容量が不正確になり、レイアウト設計後のタイミングエラーが増加する。ある部分のタイミングエラーを無くすために回路を部分的に修正すると、他の部分のタイミングに影響する。このため、HDLで記述された回路構造の修正（タイミング調整用ドライバセル挿入）、論理合成及びレイアウト設計を繰り返す行う必要があり、設計期間が長くなる原因となる。

【0006】本発明の目的は、このような問題点に鑑み、半導体集積回路の設計期間を短縮することが可能な論理合成方法及び装置並びに半導体集積回路設計方法を提供することにある。

## 【0007】

【課題を解決するための手段及びその作用効果】本発明は、ハードウェア記述言語（HDL）で記述された半導体集積回路の仕様を入力とし、ブロック単位でゲートレベルの回路を生成し、仮想配線容量とセルの入力容量との和に基づいてセルの駆動能力が不足するかどうかを判断し、セル駆動能力が不足すると判断した場合にセル間

にドライバセルを挿入する論理合成方法であって、該ゲートレベルの回路を生成した後、該判断の前において、フロアプランニングを行って該ブロックの配置を決定し、チップ領域に相当するフロアの辺に平行な線で異なるブロックの重心間を結んだ最短経路の長さを、異なるブロックのセル間の仮想配線長として求め、異なるブロックのセル間の該仮想配線容量を該仮想配線長に基づいて求める。

【0008】本発明によれば、論理合成段階でのフロアプランニングにより、異なるブロックのセル間の仮想配線容量が従来よりも正確になるので、タイミング調整がより正確に行われ、レイアウト設計後のタイミングエラー数が低減されて、HDLで記述された回路仕様の修正、論理合成及びレイアウト設計を繰り返す回数が低減され、設計期間が短縮されるという効果を奏する。

【0009】また、同じ理由により、挿入されるドライバセルの数が従来よりも低減されるので、信号伝播遅延時間が低減してシステムクロック周波数上昇が可能になるという効果を奏する。本発明の第1態様では、上記フロアプランニングにおいて、(1)ブロック内のセルの総面積又はゲート数に基づいてブロックのサイズを決定し、該サイズのブロックをフロア内に配置し、(2)ブロック内でセルを概略配置し、ブロック内外のセル間をグローバル配線し、(3)グローバル配線結果を表示装置に表示させ、(4)表示結果を見て修正要と判断した場合には、ブロックのリサイズ又は移動を行った後に(2)へ戻る。

【0010】本発明の第2態様では、上記(3)において、ブロック間の配線数と、配線密度が設定値以上の部分とを表示させる。この第2態様によれば、ブロックのリサイズ及び移動の判断が容易になるという効果を奏する。本発明の第3態様では、上記(3)において、上記半導体集積回路の、複数ブロックを通るクリティカルパスも表示させる。

【0011】この第3態様によれば、クリティカルパスが短くなるようにブロックを移動させることができるので、システムクロック上昇が可能になるという効果を奏する。本発明の第4態様は、上記いずれかの論理合成方法を実施するためのコンピュータを備えた論理合成装置である。

【0012】本発明の第5態様は、上記いずれかの論理合成方法を実施した後、上記フロアプランニングの結果に基づいてレイアウト設計を行う半導体集積回路設計方法である。この方法では、論理合成段階で行ったフロアプランニングの結果をレイアウト設計で用いるので、論理合成とレイアウト設計の全体としては複雑化が避けられ、上記発明の効果が得られるので、意義が大である。

【0013】

【発明の実施の形態】以下、図面に基づいて本発明の実施形態を説明する。図1は、半導体集積回路用CAD

システムの概略構成を示す。このシステムは、論理合成装置10と、シミュレーション&レイアウト設計装置20とからなる。論理合成装置10は、コンピュータ11と、外部記憶装置12~14と、手操作入力装置15と、表示装置16とを備えた一般的なコンピュータシステムである。外部記憶装置12、13及び14は機能的に分けて記載したものであり、外部記憶装置12にはHDLで記述された設計データが格納され、外部記憶装置13には半導体集積回路で使用されるセルの種類、サイズ、マクロセルの構造及びセルのパターンが格納されている。セルの種類には、基本セルと、基本セルを組み合わせたマクロセルとがあり、基本セルは例えばナンドゲート、ノアゲート、インバータ及びフリップフロップである。セルの種類、サイズ及びマクロセルの構造はコンピュータ11で用いられ、セルのパターンはシミュレーション&レイアウト設計装置20で用いられる。外部記憶装置14には、コンピュータ11の計算結果であるネットリスト及びフロアプランニングデータが格納され、これらはシミュレーション&レイアウト設計装置20で用いられる。

【0014】論理合成装置10による処理の概略を図2に示す。従来の論理合成では、ステップ30~36、38及び39の処理が行われていたが、本案ではさらに、ステップ36とステップ38との間にステップ37の処理が行われる。以下、括弧内は図中のステップ識別番号である。

(30) HDL、例えばVerilog HDLで記述されたLSI設計データを、外部記憶装置12から読み込む。

【0015】(31) この設計データを翻訳して、機能仕様部分は論理式に変換する。

(32) 外部記憶装置13を参照して、マクロセルを基本セルで展開する。

(33) チップ周辺部のI/Oバッファを手操作入力により割り当てる。

(34) 構成が簡単になるように、論理式を最適化する。

(35) テクノロジマッピングを行う。すなわち、論理式に対応して、外部記憶装置13に格納された基本セルを割り付け、また、局所的に冗長なゲートや配線を削除することにより、面積及び遅延時間を低減するという最適化を行う。

【0016】(36) ブロック間の最適化を行う。例えばブロックAのインバータの出力端がブロックBのインバータの入力端に接続されている場合、冗長な両インバータを削除する。ただし、タイミング調整のためにHDLで構造記述されているドライバセル(バッファゲート)はそのままにしておく。

(37) 従来、図1のシミュレーション&レイアウト設計装置20によるレイアウト設計で行われていたフロアプランニングを、この段階で行う。このフロアプランニング

では、従来行われていなかったブロック間仮想配線容量の算出及びクリティカルパスの表示が含まれている。ステップ 37 の処理の詳細を図 3 に示す。

【0017】(370) 外部記憶装置 13 に格納されているセルサイズデータを用いて、各ブロックのサイズを見積もる。例えば、ブロック内のセルの面積の総和を求め、これを 1.4 倍したものをブロック面積とし、単純化のためにブロックが正方形であるとしてその一辺の長さを求める。ブロック面積は、ブロック内ゲート数を定数倍したものであってもよい。このブロックを、チップ領域に相当するフロア上に配置する。

【0018】(371) ブロック間の仮想配線長を求める。例えば図 4 に示す如く、フロア 40 にブロック A~D が配置されているとき、ブロック B の重心とブロック A の重心との間をフロア 40 の辺に平行な直線で結んだ経路の長さを、ブロック B 内のセルとブロック D 内のセルとの間の仮想配線長として求める。この仮想配線長は、例えば図中の点線を通る経路の長さと同じであり、同一長さの各種経路が考えられる。他のブロック間についても同様である。

【0019】(372) 各ブロック内でセルを概略配置する。この概略配置では、例えばセル間の部分的重なりを無視するというふうに設計ルールを弱くし、その替わりに、グリッド間隔を実配置の場合よりも大きくする。ブロック内外のセル間を、グローバル配線する。

(373) 配線結果を、図 5 (A)、(B) 及び図 6 に示すように、図 1 の表示装置 16 に表示する。また、予め指定された、半導体集積回路のクリティカルパスも表示する。図 5 (A) は、ブロック i とブロック j の間の配線数  $N_{ij}$  (i 及び j はブロック A~D のいずれか) を示している。図 5 (B) は、配線密度が設定値以上の混雑した部分にハッチングを付している。図 6 は、複数ブロックを通るクリティカルパス  $B \rightarrow D \rightarrow A \rightarrow C$  を、ブロックの重心を通る折れ線で示している。設計者は、これらの表示を見て、修正の要否を判断する。

【0020】(375) 修正要と判断した場合には、配線密度が設定値以上の部分を低減し、ブロック間の平均配線長を短くし、かつ、クリティカルパスを短くするために、例えば図 7 に示すようにブロックのサイズを変更しまたはブロックを移動させる。クリティカルパスの折れ線表示は、この変更及び移動に応じて変化する。図 7 は、図 6 のブロック A とブロック D の位置を入れ替え、ブロック A、C 及び D の形状をそれぞれブロック A'、C' 及び D' に変更した場合を示す。

【0021】次に、上記ステップ 371 へ戻る。

(376) ステップ 374 で修正不要と判断した場合には、フロアプランニングデータ、すなわちブロックのサイズ及び配置、ブロック内のセルの配置及びブロック内外のセル間のグローバル配線のデータを出力し、図 1 の外部記憶装置 14 に格納する。

【0022】(38) セル間配線容量とセルの入力容量との和に基づいてタイミング調整を行う。すなわち、この和がセルの駆動能力を越えている場合、駆動能力以下になるようにセル間配線にドライバセルを挿入する。また、予め指定された端子間の信号伝播遅延時間が許容範囲に収まるように、該端子間にバッファセルを挿入し又は該端子間に接続されているセルのサイズ(セルの入力容量)を変更する。

【0023】例えば図 8 (B) について上述のように調整する。但し、配線 3 のようなブロック間の仮想配線容量は、図 3 のステップ 371 で求めた仮想配線長に定数(単位長さの配線容量)を乗じた値を用いる。ブロックサイズが小さい場合には図 8 (A) に示す関係で求めたセル間仮想配線容量の誤差が比較的小さいので、同一ブロック内のセル間の上記タイミング調整は、従来と同様に、図 8 (A) に示す関係で求めたセル間仮想配線容量を用いて行う。

【0024】(39) ネットリストを出力し、外部記憶装置 14 に格納する。以上のような論理合成処理を行った後、図 1 のシミュレーション&レイアウト設計装置 20 により、外部記憶装置 14 に格納されたネットリストに基づいてシミュレーションを行い、動作を確認する。次に、このネットリスト、外部記憶装置 14 に格納されたフロアプランニングデータ及び外部記憶装置 13 に格納されたセルパターンデータに基づいて、セル配置及びセル間配線を自動的に行うことにより、レイアウト設計する。フロアプランニングデータがあるので、このレイアウト設計では、従来行われていたフロアプランニングを省略することができる。次に、レイアウトパターンに基づいたセル間遅延時間を算出し、これを用いて、より正確なシミュレーションを行う。

【0025】本実施形態によれば、上記ステップ 37 でのフロアプランニングにより、異なるブロックのセル間の仮想配線容量が従来よりも正確になるので、タイミング調整がより正確に行われ、レイアウト設計後のタイミングエラー数が低減されて、HDL で記述された回路仕様の修正、論理合成及びレイアウト設計を繰り返す回路数が低減され、設計期間が短縮される。

【0026】また、同じ理由により、挿入されるドライバセルの数が従来よりも低減され、信号伝播遅延時間が低減してシステムクロック周波数上昇が可能になる。さらに、フロアプランニングにおいて、クリティカルパスを表示し、クリティカルパスが短くなるようにブロックを移動させることができるので、この点からもシステムクロック上昇が可能になる。

【図面の簡単な説明】

【図 1】半導体集積回路用 CAD システムの概略図である。

【図 2】論理合成の概略フローチャートである。

【図 3】図 2 のステップ 37 の詳細フローチャートであ

る。

【図4】図3のステップ371の説明図である。

【図5】図3のステップ373の説明図である。

【図6】図3のステップ373の説明図である。

【図7】図3のステップ375の説明図である。

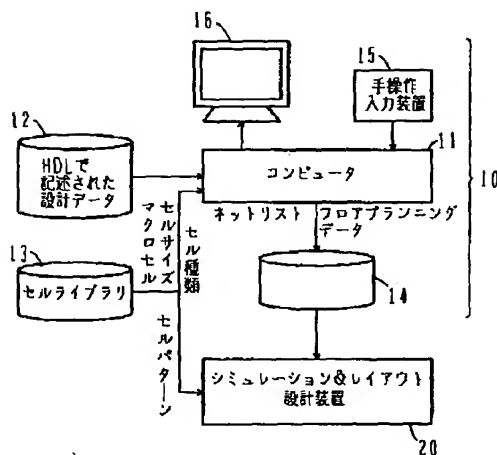
【図8】従来のセル間仮想配線容量の説明図である。

【符号の説明】

10 論理合成装置

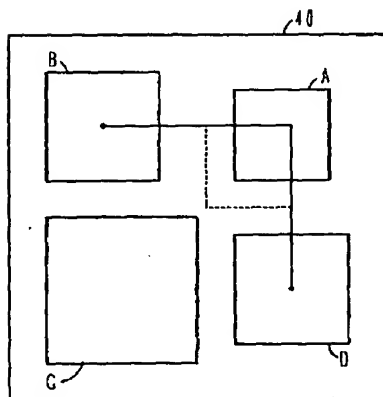
【図1】

半導体集積回路用CADシステムの概略図



【図4】

図3のステップ371の説明図



20 シミュレーション&レイアウト設計装置

11 コンピュータ

12~14 外部記憶装置

15 手操作入力装置

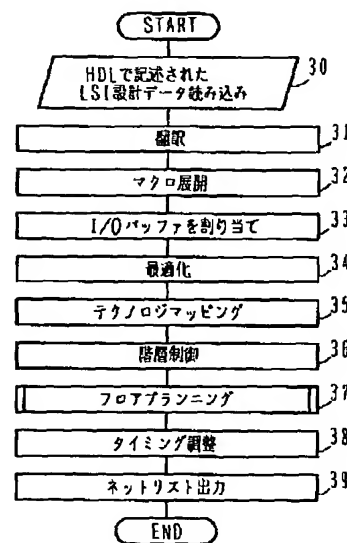
16 表示装置

40 フロア

A~D、S、A'、C'、D' ブロック

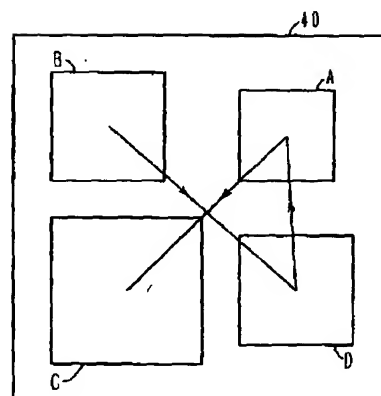
【図2】

論理合成の概略フローチャート



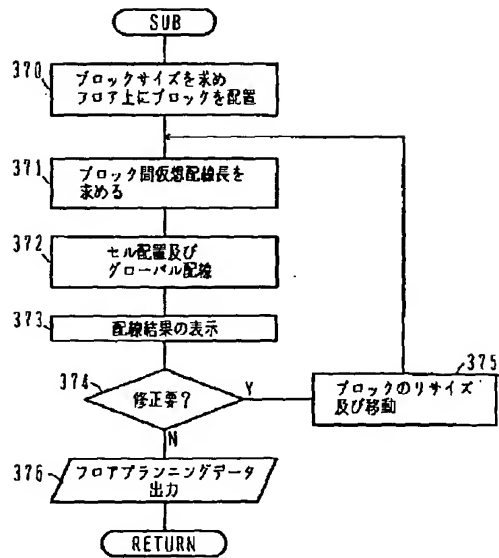
【図6】

図3のステップ373の説明図



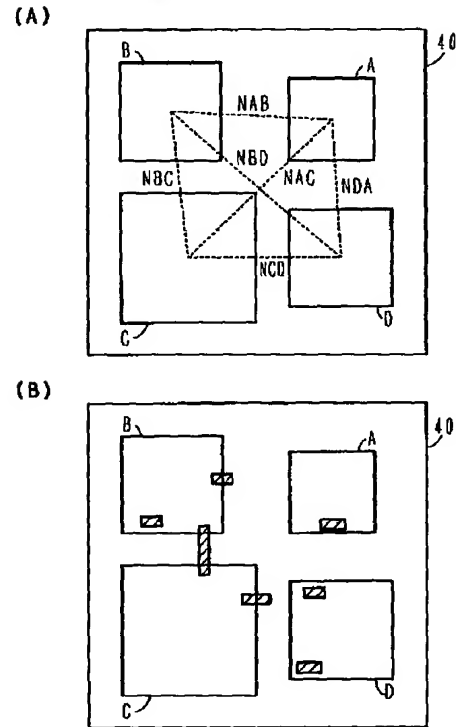
【図3】

図2のステップ37の詳細フローチャート



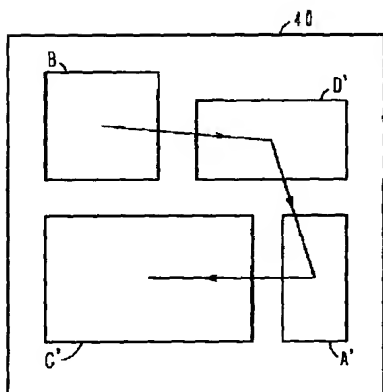
【図5】

図3のステップ373の説明図



【図7】

図3のステップ375の説明図

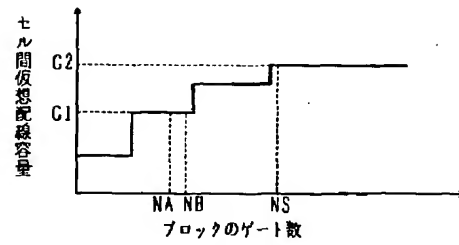




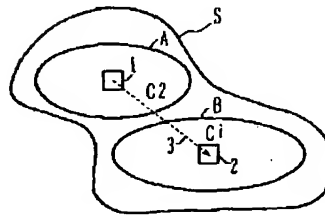
【図8】

従来のセル間仮配線容量の説明図

(A)



(B)



A,B,S:ブロック